

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-166741

(P2001-166741A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

5 7 5

G 0 9 G 3/20 6 2 1

6 4 1

識別記号

F I

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

5 7 5

G 0 9 G 3/20

6 2 1 F

マークート(参考)

2 H 0 9 3

5 C 0 0 6

5 C 0 8 0

6 4 1 C

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21)出願番号

特願平11-345756

(22)出願日

平成11年12月6日(1999.12.6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(74)代理人 100083552

弁理士 秋田 収喜

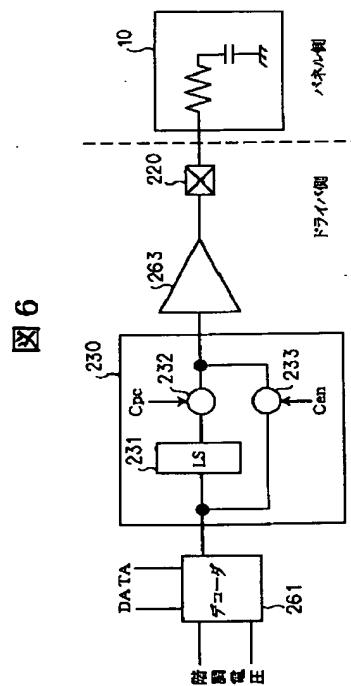
最終頁に続く

(54)【発明の名称】 半導体集積回路装置および液晶表示装置

(57)【要約】

【課題】 高速動作を可能とし、液晶表示素子の大画面化を可能とする液晶表示装置を提供する。

【解決手段】 液晶表示素子の各映像信号線に表示データに対応する階調電圧を供給する半導体集積回路装置であって、前記半導体集積回路装置は、前記各映像信号線と電気的に接続される出力端子毎に設けられ、表示データに対応する階調電圧を出力する複数の階調電圧出力手段と、前記各階調電圧出力手段から出力される階調電圧に応じたプリチャージ電圧を生成する複数のプリチャージ電圧生成手段と、一水平走査期間の初めの所定期間内に、前記各プリチャージ電圧生成手段で生成されたプリチャージ電圧を前記各出力端子から出力し、それ以外の期間内に、前記各階調電圧出力手段から出力される階調電圧を前記各出力端子から出力するスイッチング手段とを有する。



【特許請求の範囲】

【請求項1】 液晶表示素子の各映像信号線に表示データに対応する階調電圧を供給する半導体集積回路装置であって、前記半導体集積回路装置は、前記各映像信号線と電気的に接続される出力端子毎に設けられ、表示データに対応する階調電圧を出力する複数の階調電圧出力手段と、前記各階調電圧出力手段から出力される階調電圧に応じたプリチャージ電圧を生成する複数のプリチャージ電圧生成手段と、一水平走査期間の初めの所定期間内に、前記各プリチャージ電圧生成手段で生成されたプリチャージ電圧を前記各出力端子から出力し、それ以外の期間内に、前記各階調電圧出力手段から出力される階調電圧を前記各出力端子から出力するスイッチング手段とを有することを特徴とする半導体集積回路装置。

【請求項2】 前記各階調電圧出力手段は、複数の階調電圧を生成する階調電圧生成手段と、前記階調電圧生成手段で生成された複数の階調電圧の中から表示データに対応する階調電圧を選択して出力する階調電圧選択手段とを有し、かつ、前記各階調電圧選択手段で選択された階調電圧、あるいは前記各プリチャージ電圧生成手段で生成されたプリチャージ電圧を増幅して各出力端子に出力する複数のアンプ回路を有し、前記スイッチング手段は、一水平走査期間の初めの所定期間内に、前記各プリチャージ電圧生成手段で生成されたプリチャージ電圧を前記各アンプ回路に入力し、それ以外の期間内に、前記各階調電圧選択手段で選択された階調電圧を前記各アンプ回路に入力することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 液晶表示素子の各映像信号線に表示データに対応する階調電圧を供給する半導体集積回路装置であって、

前記半導体集積回路装置は、前記各映像信号線と電気的に接続される出力端子毎に設けられ、表示データに対応する階調電圧を出力する複数の階調電圧出力手段と、前記液晶表示素子の前記半導体集積回路装置側の近傍領域の一水平走査期間内に、前記各階調電圧出力手段から出力される階調電圧を前記各出力端子から出力し、前記近傍領域以外の領域の一水平走査期間における初めの所定期間内に、電源線から供給される所定のプリチャージ電圧を前記各出力端子から出力し、前記近傍領域以外の領域の一水平走査期間における前記所定期間以外の期間内に、前記各階調電圧出力手段から出力される階調電圧を前記各出力端子から出力するスイッチング手段とを有することを特徴とする半導体集積回路装置。

【請求項4】 前記各階調電圧出力手段は、複数の階調電圧を生成する階調電圧生成手段と、前記階調電圧生成手段で生成された複数の階調電圧の中

から表示データに対応する階調電圧を選択して出力する階調電圧選択手段とを有し、かつ、各階調電圧選択手段で選択された階調電圧、あるいは所定のプリチャージ電圧を増幅して各出力端子に出力する複数のアンプ回路を有し、前記スイッチング手段は、前記液晶表示素子の前記半導体集積回路装置側の近傍領域の一水平走査期間内に、前記各階調電圧選択手段で選択された階調電圧を前記各アンプ回路に入力し、前記近傍領域以外の領域の一水平走査期間における初めの所定期間内に、電源線から供給される所定のプリチャージ電圧を前記各アンプ回路に入力し、前記近傍領域以外の領域の一水平走査期間における前記所定期間以外の期間内に、前記各階調電圧選択手段で選択された階調電圧を前記各アンプ回路に入力することを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記液晶表示素子の一方の端部に設けられるとともに、少なくとも1個の半導体集積回路装置で構成され、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、前記請求項1ないし請求項4のいずれか1項に記載の半導体集積回路装置で構成されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信号線駆動手段（ドレインドライバ）に適用して有効な技術に関する。

【0002】

【従来の技術】 画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧（表示データに対応する階調電圧；以下、階調電圧と称する。）を印加するため、各画素間のクロストークがなく、単純マトリクス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。このアクティブマトリクス型液晶表示装置の1つに、TFT（Thin Film Transistor）方式の液晶表示パネル（TFT-LCD）と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバおよびインターフェース部とを備えるTFT方式の液晶表示モジュールが知られている。このTFT方式の液晶表示モジュールにおいては、ドレイ

ンドライバ内に階調電圧生成回路と、この階調電圧生成回路で生成された複数の階調電圧の中から、表示データに対応する1つの階調電圧を選択する階調電圧選択回路（デコーダ回路）と、階調電圧選択回路で選択された1つの階調電圧が入力されるアンプ回路とを備えている。なお、このような技術は、例えば、特願平8-86668号に記載されている。

#### 【0003】

【発明が解決しようとする課題】TFT方式の液晶表示モジュール等の液晶表示装置にあっては、画素書き込み電圧が不足すると、液晶表示パネルに表示される表示画面の表示品質が著しく劣化する。しかしながら、近年、示モジュール等の液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、XGA表示モードの $1024 \times 768$ 画素、SXGA表示モードの $1280 \times 1024$ 画素、UXGA表示モードの $1600 \times 1200$ 画素とさらなる高解像度化が要求されている。このため、1垂直走査期間内の水平走査数が増加し、それに伴い1水平走査当たりの書き込み時間はだんだん短くなり、画素書き込み電圧不足が大きな問題となってきている。このような問題点を解決するために、本出願人は、ドレインドライバの階調電圧選択回路とアンプ回路との間にプリチャージ回路を設け、一水平走査期間内の初めの所定の期間（以下、プリチャージ期間という。）内に、このプリチャージ回路から各ドレイン信号線にプリチャージ電圧を供給することにより、画素書き込み電圧不足を解消するようにした液晶表示装置を提案している（特開平11-192212号参照）。

【0004】しかしながら、前記提案済みの液晶表示装置では、プリチャージ期間内に、プリチャージ回路から供給されるプリチャージ電圧は基本的に一定の固定電圧であり、一水平走査期間内に各ドレイン信号線に印加される階調電圧の電圧レベルについては考慮されていない。そのため、一水平走査期間内に各映像信号線に印加される階調電圧の電圧レベルによっては、画素書き込み電圧が不足するという問題点があった。また、ドレインドライバは、液晶表示パネルの片側に実装されるのが一般的であるが、液晶表示パネルの大画面化の要求に伴って、映像信号線の負荷抵抗、負荷容量が大きくなっている。そのため、プリチャージ期間内に、同じプリチャージ電圧をドレイン信号線に供給しても、ドレインドライバから距離が遠い画素は、ドレインドライバから距離が近い画素に比して、プリチャージ電圧により充電される充電電圧が小さくなるので、場合によっては、ドレインドライバから距離が遠い画素で書き込み電圧不足が生じ、液晶表示パネルに表示される表示画面の表示品質が著しく劣化するという問題点があった。

【0005】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表

示装置に使用される半導体集積回路装置において、高速動作を可能とし、液晶表示素子の大画面化が可能となる技術を提供することにある。本発明の他の目的は、液晶表示装置において、高速動作を可能とし、液晶表示素子の大画面化が可能となる技術を提供することにある。本発明の他の目的は、液晶表示装置において、液晶表示素子に表示される表示画面の表示品質を向上させることができとなる技術を提供することにある。本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 【0006】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。即ち、本発明は、液晶表示装置に使用される半導体集積回路装置であって、一水平走査期間の初めの所定期間（プリチャージ期間）内に、各プリチャージ電圧生成手段で生成されたプリチャージ電圧を各映像信号線に出力し、それ以外の期間内に、前記各階調電圧選択手段で選択された階調電圧を各映像信号線に出力するスイッチング手段を有することを特徴とする。前記手段によれば、プリチャージ期間内に、液晶表示素子の各映像信号線に供給されるプリチャージ電圧は、一水平走査期間内に各映像信号線に供給される階調電圧の電圧レベルに応じた電圧となるので、階調電圧の電圧レベルに係わらず、各画素の書き込み時間をほぼ一定することができ、高速動作が可能となり、液晶表示素子の大画面化が可能となる。

【0007】また、本発明は、液晶表示装置に使用される半導体集積回路装置であって、表示素子の半導体集積回路装置側の近傍領域の一水平走査期間内に、各階調電圧選択手段で選択された階調電圧を各映像信号線に出力し、近傍領域以外の領域の一水平走査期間における初めの所定期間（プリチャージ期間）内に、電源線から供給される所定のプリチャージ電圧を各映像信号線に出力し、近傍領域以外の領域の一水平走査期間における所定期間以外の期間内に、各階調電圧選択手段で選択された階調電圧を各映像信号線に出力するスイッチング手段を有することを特徴とする。前記手段によれば、プリチャージ期間内に、半導体集積回路装置から距離が遠い画素程、より大きなプリチャージ電圧が供給されるので、半導体集積回路装置からの距離に係わらず、各画素の書き込み時間をほぼ一定することができ、高速動作が可能となり、液晶表示素子の大画面化が可能となる。

【0008】また、本発明は、映像信号線駆動手段として、前記いずれかの半導体集積回路装置を備える液晶表示装置である。前記手段によれば、映像信号線駆動手段から距離が遠い画素を速やかに充放電することができるで、液晶表示装置の高速動作を可能とし、液晶表示素子を大画面化することが可能となり、表示画面の表示品質を向上させることができとなる。

## 【0009】

【発明の実施の形態】以下、本発明実施の形態を図面を参照して説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

## 【実施の形態1】

〈本発明が適用される表示装置の基本構成〉図1は、本発明が適用されるTFT方式の液晶表示モジュールの基本構成を示すブロック図である。同図において、10は液晶表示パネル(TFT-LCD)であり、液晶表示パネル10は、画素電極、薄膜トランジスタ等が形成されるTFT基板と、対向電極、カラーフィルタ等が形成されるフィルタ基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。TFT基板のガラス基板上には、半導体集積回路装置(IC)で構成される複数のドレインドライバ130およびゲートドライバが搭載されている。インタフェース基板に実装されるインタフェース部100は液晶表示パネル10の後ろ側に配置される。

【0010】〈図1に示す液晶表示パネル10の構成〉図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図である。この図2に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。各画素は、隣接する2本の信号線(ドレイン信号線(D)またはゲート信号線(G))と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。各画素は薄膜トランジスタ(TFT1, TFT2)を有し、各画素の薄膜トランジスタ(TFT1, TFT2)のソース電極は、画素電極(ITO1)に接続される。また、画素電極(ITO1)とコモン電極(ITO2)との間に液晶層が設けられるので、画素電極(ITO1)とコモン電極(ITO2)との間には、液晶容量(CLC)が等価的に接続される。さらに、薄膜トランジスタ(TFT1, TFT2)のソース電極と前段のゲート信号線(G)との間には、付加容量(CADD)が接続される。

【0011】図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。図2に示す例では、全段のゲート信号線(G)とソース電極との間に付加容量(CADD)が形成されているが、図3に示す例の等価回路では、共通信号線(CN)とソース電極との間に保持容量(CSTG)が形成されている点が異なっている。本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線(G)パルスが付加容量(CADD)を介して画素電極(ITO1)に飛び込むのに対し、後者的方式では、飛び込みがないため、より良好な表示が可能となる。なお、図2、図3は、縦電界方

式の液晶表示パネルの等価回路を示しており、図2、図3において、ARは表示領域である。また、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。図2、図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ(TFT)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。また、行方向に配置された各画素における薄膜トランジスタ(TFT)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)は、1水平走査時間、行方向の各画素の薄膜トランジスタ(TFT)のゲート電極に走査駆動電圧(正のバイアス電圧あるいは負のバイアス電圧)を供給するゲートドライバ140に接続される。

【0012】〈図1に示すインタフェース部100の構成と動作概要〉図1に示すインタフェース部100は、表示制御装置110と電源回路120とから構成される。表示制御装置110は、1個の半導体集積回路(LSI)から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R·G·B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス(表示データ取り込み開始信号)を信号線135を介して第1番目のドレインドライバ130に出力し、さらに、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。その際、表示制御装置110は、各ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック(CL2)(以下、単に、クロック(CL2)と称する。)を信号線131を介して出力する。

【0013】本体コンピュータ側からの表示データは6ビットで、1画素単位、即ち、赤(R)、緑(G)、青(B)の各データを1つの組にして単位時間毎に転送される。また、第1番目のドレインドライバ130に入力されたスタートパルスにより第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。この第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が終了すると、第1番目のドレインドライバ130からスタートパルスが、第2番目のドレインドライバ130に入力され、第2番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。以下、同様にして、各ドレインドライバ130におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

【0014】表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、各ドレインドライバ130におけるデータラッチ回路に蓄えていた表示データを液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック(CL1)(以下、単にクロック(CL1)と称する。)を信号線132を介して各ドレインドライバ130に出力する。

【0015】また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号(FLM)を出力する。さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するように、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるクロック(CL3)を出力する。これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT)が、1水平走査時間の間導通する。以上の動作により、液晶表示パネル10に画像が表示される。

【0016】〈図1に示す電源回路120の構成〉図1に示す電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124から構成される。正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正電圧生成回路121は、例えば、正極性の5値の階調基準電圧(V"0～V"4)を、負電圧生成回路122は、例えば、負極性の5値の階調基準電圧(V"5～V"9)を出力する。この正極性の階調基準電圧(V"0～V"4)、および負極性の階調基準電圧(V"5～V"9)は、各ドレインドライバ130に供給される。また、各ドレインドライバ130には、表示制御装置110からの交流化信号(交流化タイミング信号;M)も、信号線134を介して供給される。コモン電極電圧生成回路123はコモン電極(ITO2)に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT)のゲート電極に印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。

【0017】〈図1に示すドレインドライバ130の構成〉図4は、図1に示すドレインドライバ130の一例の概略構成示すブロック図である。なお、ドレインドライバ130は、1個の半導体集積回路(LSI)から構成される。同図において、正極性階調電圧生成回路151aは、正電圧生成回路121から入力される正極性の5値の階調基準電圧(V"0～V"4)に基づいて、正

極性の64階調の階調電圧を生成し、電圧バスライン158aを介して出力回路157に出力する。負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧(V"5～V"9)に基づいて、負極性の64階調の階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力する。また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示制御装置110から入力されるクロック(CL2)に基づいて、入力レジスタ回路154のデータ取り込み用信号を生成し、入力レジスタ回路154に出力する。

【0018】入力レジスタ回路154は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力されるクロック(CL2)に同期して、各色毎6ビットの表示データを出力本数分だけラッチする。ストレージレジスタ回路155は、表示制御装置110から入力されるクロック(CL1)に応じて、入力レジスタ回路154内の表示データをラッチする。このストレージレジスタ回路155に取り込まれた表示データは、レベルシフト回路156を介して出力回路157に入力される。出力回路157は、正極性の64階調の階調電圧、あるいは負極性の64階調の階調電圧に基づき、表示データに対応した1つの階調電圧(64階調の中の1つの階調電圧)を選択して、各ドレイン信号線(D)に出力する。

【0019】〈図1に示す液晶表示モジュールの交流化駆動方法〉一般に、液晶層は、長時間同じ電圧(直流電圧)が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。これを防止するために、液晶表示モジュールにおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極に印加する電圧を基準にして、画素電極に印加する電圧を、一定時間毎に正電圧側/負電圧側に変化させるようにしている。この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。コモン反転法とは、コモン電極に印加される電圧と画素電極に印加する電圧とを、交互に正、負に反転させる方法である。また、コモン対称法とは、コモン電極に印加される電圧を一定とし、画素電極に印加する電圧を、コモン電極に印加される電圧を基準にして、交互に正、負に反転させる方法である。コモン対称法は、画素電極(ITO1)に印加される電圧の振幅が、コモン反転法の場合に比べ2倍となり、しきい値電圧が低い液晶が開発されない限り低耐圧のドライバが使用できないと言う欠点があるが、低消費電力と表示品質の点で優れているドット反転法あるいはNライン反転法が使用可能である。

【0020】図5は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバ130からドレイン信号線(D)に出力される

液晶駆動電圧（即ち、画素電極（ITO1）に印加される階調電圧）の極性を説明するための図である。液晶表示モジュールの駆動方法として、ドット反転法を使用する場合に、図5に示すように、例えば、奇数フレームの奇数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線（D）に、コモン電極（ITO2）に印加される液晶駆動電圧（VCOM）に対して負極性の液晶駆動電圧（図5では●で示す）が、また、偶数番目のドレイン信号線（D）に、コモン電極（ITO2）に印加される液晶駆動電圧（VCOM）に対して正極性の液晶駆動電圧（図5では○で示す）が印加される。さらに、奇数フレームの偶数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線（D）に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線（D）に負極性の液晶駆動電圧が印加される。

【0021】また、各ライン毎の極性はフレーム毎に反転され、即ち、図5に示すように、偶数フレームの奇数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線（D）に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線（D）に負極性の液晶駆動電圧が印加される。さらに、偶数フレームの偶数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線（D）に負極性の液晶駆動電圧が、また、偶数番目のドレイン信号線（D）に正極性の液晶駆動電圧が印加される。このドット反転法を使用することにより、隣り合うドレイン信号線（D）に印加される電圧が逆極性となるため、コモン電極（ITO2）や薄膜トランジスタ（TFT）のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。また、コモン電極（ITO2）に流れる電流が少なく電圧降下が大きくならないため、コモン電極（ITO2）の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

【0022】〈本実施の形態の液晶表示モジュールの特徴的構成〉図6は、本発明の実施の形態1の液晶表示モジュールのドレインドライバ130の出力回路157の基本構成を示す図である。なお、この図6では、ドレイン信号（D）一本当たりの構成を示しており、また、220は、例えば、n番目のドレイン信号線と電気的に接続されるドレインドライバ130（半導体チップ）の出力パッドを示す。図6に示すように、本実施の形態のドレインドライバ130の出力回路157は、デコーダ回路261と、出力アンプ回路263と、このデコーダ回路261と出力アンプ回路263との間に設けられるプリチャージ回路230とで構成される。ここで、プリチャージ回路230は、レベルシフト回路231と、スイッチ回路232は、パルス（CPC）により、一水平走査期間内のプリチャージ期間にオンとされ、プリチャージ期間内には、出力アンプ回路263には、レベルシフト回

路231の出力が入力される。また、スイッチ回路233は、一水平走査期間内のプリチャージ期間以外の期間にオンとされ、プリチャージ期間以外の期間には、出力アンプ回路263には、デコーダ回路263の出力が入力される。これにより、プリチャージ期間内に、ドレイン信号線（D）には、レベルシフト回路231により、デコーダ回路263から出力される表示データに対応した階調電圧で、その電圧レベルがシフトされた電圧が供給される。そして、プリチャージ期間終了後に、出力アンプ回路263は、デコーダ回路261の出力に追随し、ドレイン信号線（D）に、表示データに対応した階調電圧を供給する。

【0023】〈従来の液晶表示モジュールの出力回路157の構成〉図7は、従来の液晶表示モジュールのドレインドライバ130の出力回路157の構成を示す図である。なお、この図7でも、1系統の出力系統のみ図示しており、また、33は出力パッドを示す。従来の液晶表示モジュールでは、プリチャージ期間内に、プリチャージ回路30により、デコーダ回路31が、出力アンプ回路32から切り離され、出力アンプ回路32には、固定電圧のプリチャージ電圧（Vpre）が入力される。これにより、プリチャージ期間内に、ドレイン信号線（D）には、プリチャージ電圧（Vpre）が供給される。図8ないし図11は、一水平走査期間における画素の画素電極（ITO1）の電圧変化を示す図である。なお、これらの図において、（イ）はドレインドライバ130に近い近端（あるいは近傍）の画素の電圧変動を、（ロ）はドレインドライバ130から遠い遠端の画素の電圧変動を示す。また、これらの図において、最終電位とは、一水平走査期間にドレイン信号線に供給される階調電圧の電圧レベルを示し、さらに、PC期間はプリチャージ期間を示す。図8は、プリチャージ回路がない場合の画素電極（ITO1）の電圧変動を示す。この図8から明らかなように、プリチャージ回路がない場合には、ドレインドライバ130から遠い遠端の画素が最終電位に到達するまでの時間（tDD）は大きい。

【0024】図9は、図7に示すプリチャージ回路30を設けた場合の画素電極（ITO1）の電圧変動を示す。この図9から明らかなように、図7に示すプリチャージ回路30を設けた場合には、画素は、プリチャージ期間内に固定電圧のプリチャージ電圧（Vpre）により充電されるので、その結果として、ドレインドライバ130から遠い遠端の画素が最終電位に到達するまでの時間（tDD）は、図8に示す場合より小さくすることができる。図10は、最終電位と、コモン電極（ITO2）に供給されるコモン電圧（VCOM）との電位差が小さい近い場合における、図7に示すプリチャージ回路30を設けた場合の画素電極（ITO1）の電圧変動を示す。なお、ノーマリホワイトタイプの液晶表示パネルでは、最終電位と、コモン電圧（VCOM）との電位差

が最も小さい場合は、白レベルを表す。図10から明らかなように、最終電位とコモン電圧（VCOM）との電位差が小さい場合には、画素電極（ITO1）は、一度プリチャージ電圧（Vpre）まで充電された後、最終電位に到達するので、その結果として、ドレインドライバ130から遠い遠端の画素が最終電位に到達するまでの時間（tDD）は、図9に示す場合よりも小さくすることができない。即ち、図7に示すプリチャージ回路30では、一水平走査期間にドレイン信号線に供給される階調電圧と、コモン電圧（VCOM）との電位差が小さい場合には効果がない。

【0025】図11は、本実施の形態のプリチャージ回路230を設けた場合の画素電極（ITO1）の電圧変動を示す。この図11は、図10と同様、最終電位と、コモン電圧（VCOM）との電位差が小さい場合の画素電極（ITO1）の電圧変動を示す。本実施の形態では、画素には、プリチャージ期間内に、レベルシフト回路231で電圧レベルがシフトされた階調電圧が供給される。その結果として、本実施の形態では、一水平走査期間にドレイン信号線（D）に供給される階調電圧と、コモン電圧（VCOM）との電位差が小さい場合に、ドレインドライバ130から遠い遠端の画素が最終電位に到達するまでの時間（tDD）は、図10に示す場合よりも小さくすることができる。また、一水平走査期間にドレイン信号線に供給される階調電圧と、コモン電圧（VCOM）との電位差が大きい場合であっても、レベルシフト回路231で電圧レベルがシフトされた階調電圧自体が、大きな電圧となるだけであるので、ドレインドライバ130から遠い遠端の画素が最終電位に到達するまでの時間（tDD）を、図10に示す場合よりも小さくできることはいうまでもない。なお、前記説明では、一水平走査期間内に、画素に正極性の階調電圧を書き込む場合について説明したが、画素に負極性の階調電圧を書き込む場合にも、ドレインドライバ130から遠い遠端の画素が最終電位に到達するまでの時間（tDD）を、図10に示す場合よりも小さくできることはいうまでもない。但し、この場合は、電圧の大小関係がコモン電圧（VCOM）を中心にして反対になることに注意する必要がある。

【0026】図12は、本実施の形態のプリチャージ回路230の具体的な回路構成を示す回路図である。図12に示す回路構成では、正極性の回路は、正極性の階調電圧を出力する高電圧用デコーダ回路278と、p型MOSトランジスタ（以下、単に、PMOSと称する。）（PM11）およびPMOS（PM12）とで構成されるレベルシフト回路と、オペアンプ（OP11）で構成される出力アンプ回路と、スイッチ回路を構成するPMOS（PM13, PM14）で構成される。同様に、負極性の回路は、正極性の階調電圧を出力する低電圧用デコーダ回路279と、n型MOSトランジスタ（以下、

単に、MMOSと称する。）（NM11）およびNMOS（NM12）とで構成されるレベルシフト回路と、オペアンプ（OP12）で構成される出力アンプ回路と、スイッチ回路を構成するNMOS（NM13, NM14）で構成される。ここで、PMOS（PM13）およびNMOS（NM14）は、制御信号（Cen）で駆動され、PMOS（PM14）およびNMOS（NM13）は、制御信号（Cpc）で駆動される。

【0027】なお、本実施の形態では、制御信号（Cpc）は、クロック（CL1）であり、制御信号（Cen）は、クロック（CL1）の反転クロックを使用しているが、これらの制御信号（Cen, Cpc）は、クロック（CL1）から生成するようにしてもよい。また、トランジスタゲート回路（TG1～TG4）は、一水平走査期間毎に、正極性の階調電圧と、負極性の階調電圧とを、例えば、第1番目のドレイン信号線（D）と第4番目のドレイン信号線（D）とに、交互に切り替えて、出力パッド220に出力する。このトランジスタゲート回路（TG1～TG4）を制御する制御信号（ACKEP, ACKOP）は、交流化信号（M）から生成される。

【0028】図12に示す正極性の回路では、プリチャージ期間に、PMOS（PM13）がオンとなり、PMOS（PM12）のしきい値電圧（Vth）分だけ電圧レベルがアップした階調電圧が、ドレイン信号線（D）に供給される。また、負極性の回路では、プリチャージ期間に、NMOS（NM13）がオンとなり、NMOS（NM11）のしきい値電圧（Vth）分だけ電圧レベルがダウンした階調電圧が、ドレイン信号線（D）に供給される。なお、この図12において、Vb1は、PMOS（PM11）のゲート電極に印加されるバイアス電圧、Vb2は、NMOS（NM12）のゲート電極に印加されるバイアス電圧である。

【0029】【実施の形態2】図13は、本発明の実施の形態2のTFT方式の液晶表示モジュールにおけるドレインドライバ130の出力回路157の基本構成を示す図である。なお、この図13では、ドレイン信号（D）一本当たりの構成を示しており、また、図6に示す出力パッド220の図示は省略している。以下、本実施の形態のドレインドライバ130の出力回路157について、前記実施の形態1との相違点を中心に説明する。図13に示すように、本実施の形態の出力回路157のプリチャージ回路330は、表示データが入力される比較回路331と、スイッチ回路（332～336）とで構成される。本実施の形態では、例えば、階調電圧の電圧レベルを3段階に分割し、当該3段階に分割した各段階毎に、プリチャージ期間内に、VPre1～VPre3のプリチャージ電圧を、ドレイン信号線（D）に供給する。

【0030】一般に、ドレイン信号線（D）に供給され

る階調電圧は、表示データに依存する。そこで、本実施の形態では、一水平走査期間にドレイン信号線（D）に供給される階調電圧の電圧レベルが、どの段階の電圧レベルに相当するかを、表示データが入力される比較回路331で判定し、この比較回路331の判定結果により、スイッチ回路（334～336）のいずれか1つをオンとして、V<sub>pre1</sub>～V<sub>pre3</sub>のプリチャージ電圧の一つを、ドレイン信号線（D）に供給する。これにより、本実施の形態では、ドレイン信号線（D）には、プリチャージ期間内に、階調電圧の3段階に分割された電圧レベルに応じたプリチャージ電圧が供給され、プリチャージ期間終了後に、出力アンプ回路263は、デコーダ回路261の出力に追随し、ドレイン信号線（D）に、表示データに対応した階調電圧を供給する。このように、本実施の形態でも、前記実施の形態1と同様な効果を得ることが可能となる。

【0031】図14は、本実施の形態のドレインドライバ130の出力回路157の一例の具体的な回路構成を示す回路図である。図14に示す回路では、階調電圧の電圧レベルを2段階に分割し、当該2段階に分割した各段階毎に、プリチャージ期間内に、V<sub>pre1</sub>、V<sub>pre2</sub>のプリチャージ電圧を、ドレイン信号線（D）に供給する。即ち、図14に示す回路では、表示データの最上位ビット（MSB）の値が「0」の時に、NMOS（NM22）がオンとなり、プリチャージ期間内に、V<sub>pre2</sub>のプリチャージ電圧がドレイン信号線（D）に供給される。また、表示データの最上位ビット（MSB）の値が「1」の時に、NMOS（NM21）がオンとなり、プリチャージ期間内に、V<sub>pre1</sub>のプリチャージ電圧がドレイン信号線（D）に供給される。したがって、図14に示す回路でも、前記実施の形態1と同様な効果を得ることが可能となる。

【0032】[実施の形態3] 前記図8～図11に示すように、一水平走査期間に、画素が最終電位に到達する時間（tDD）は、ドレインドライバ130から遠い遠端の画素の方が大きい。そこで、本実施の形態では、液晶表示パネルの表示領域を、複数の領域に分割し、ドレインドライバ130から遠い領域ほど、プリチャージ期間内にドレイン信号線（D）に供給するプリチャージ電圧を高くするようにしたものである。そのため、本実施の形態では、今走査されているラインがどの領域に属して入りかを判断するためのカウンタ回路160が、ドレインドライバ130内に設けられる。図15は、本発明の実施の形態3のTFT方式の液晶表示モジュールにおけるドレインドライバ130のカウンタ回路160を示す図である。本実施の形態のカウンタ回路160は、クロック（CL1）をカウントする10ビットのカウンタ回路であり、このカウンタ回路160は、フレーム開始指示信号（FLM）でリセットされる。このカウンタ回路160の9番目の出力（Q8）と、10番目の出力

（Q9）は、ノア回路（NOR11）に入力され、ノア回路（NOR11）の出力は制御信号（NPC）となる。また、カウンタ回路160の10番目の出力（Q9）は、インバータ回路（IV11）で反転されて制御信号（/Q<sub>o</sub>）となり、さらに、インバータ回路（IV12）で反転されて制御信号（Q<sub>o</sub>）となる。ここで、（/Q<sub>o</sub>）は、（Q<sub>o</sub>）の反転出力であることを表している。

【0033】図16は、本発明の実施の形態3のTFT方式の液晶表示モジュールにおけるドレインドライバ130の出力回路157の具体的な回路構成を示す回路図である。カウンタ回路160の9番目の出力（Q8）と、10番目の出力（Q9）とがともに「0」の場合には、制御信号（NPC）はHighレベル（以下、単に、Hレベルという。）であるので、NMOS（NM33）がオフ、NMOS（NM34）がオンとなる。そのため、本実施の形態では、カウンタ回路160の9番目の出力（Q8）が「1」になるまで、プリチャージ期間内に、プリチャージ電圧がドレイン信号線（D）に供給されない。カウンタ回路160の9番目の出力（Q8）、あるいは、10番目の出力（Q9）が「1」になると、制御信号（NPC）はLowレベル（以下、単に、Lレベルという。）であるので、NMOS（NM33）がオン、NMOS（NM34）がオフとなる。

【0034】そのため、本実施の形態では、カウンタ回路160の9番目の出力（Q8）が「1」になると、プリチャージ期間内に、プリチャージ電圧がドレイン信号線（D）に供給される。この場合に、カウンタ回路160の10番目の出力（Q9）が「0」であると、制御信号（Q<sub>o</sub>）がLレベルとなるので、PMOS（PM32）がオフ、PMOS（PM31）がオンとなり、PMOS（PM30）のゲート電極には、V<sub>b2</sub>のバイアス電圧が印加されるので、PMOS（PM30）はオフとなる。したがって、カウンタ回路160の9番目の出力（Q8）が「1」、10番目の出力（Q9）が「0」の場合には、プリチャージ期間内に、階調電圧から、PMOS（PM12）のしきい値電圧（V<sub>th</sub>）分だけ電圧レベルがアップした電圧が、ドレイン信号線（D）に供給される。また、カウンタ回路160の10番目の出力（Q9）が「1」であると、制御信号（Q<sub>o</sub>）がHレベルとなるので、PMOS（PM32）がオン、PMOS（PM31）がオフとなり、PMOS（PM30）のゲート電極には、VLCDのバイアス電圧が印加されるので、PMOS（PM30）はオンとなる。したがって、カウンタ回路160の9番目の出力（Q8）が「1」、10番目の出力（Q9）が「1」の場合には、プリチャージ期間内に、VLCDの電圧からPMOS（PM12）のしきい値電圧（V<sub>th</sub>）分だけ電圧レベルがダウントした電圧が、ドレイン信号線（D）に供給される。

【0035】図17は、本実施の形態において、各画素

に供給されるプリチャージ電圧を説明するための図である。この図17において、4角形は表示領域(AR)を表している。図17に示す近端用領域は、カウンタ回路160の9番目の出力(Q8)が「0」の領域であり、プリチャージ期間内にプリチャージ電圧がドレイン信号線(D)に供給されない領域である。また、中間用領域は、カウンタ回路160の9番目の出力(Q8)が「1」、10番目の出力(Q9)が「0」の領域であり、プリチャージ期間内に、PMOS(PM12)のしきい値電圧(Vth)分だけ電圧レベルがアップした階調電圧がドレイン信号線(D)に供給される領域である。同様に、遠端用領域は、カウンタ回路160の9番目の出力(Q8)が「1」、10番目の出力(Q9)が「1」の領域であり、プリチャージ期間内に、VLCDの電圧からPMOS(PM12)のしきい値電圧(Vth)分だけ電圧レベルがダウントした電圧が、ドレイン信号線(D)に供給される。

【0036】〈本実施の形態の液晶表示モジュールの変形例〉図18は、本発明の実施の形態3のTFT方式の液晶表示モジュールにおけるドレインドライバ130の出力回路157の他の例の具体的な回路構成を示す回路図である。この図18に示す出力回路157は、プリチャージ期間内に、ドレイン信号線(D)に供給されるプリチャージ電圧を、表示データの値(即ち、階調電圧の電圧レベル)に応じて変化させるようにしたものである。この図18において、カウンタ回路160の9番目の出力(Q8)が「1」であると、NMOS(NM33)がオン、NMOS(NM34)がオフとなる。また、カウンタ回路160の10番目の出力(Q9)が「0」であると、NMOS(NM41)がオン、NMOS(NM44)がオフとなる。ここで、NMOS(NM41)には、NMOS(NM42)を介してVpre1のプリチャージ電圧と、NMOS(NM43)を介してVpre2のプリチャージ電圧が供給されている。そして、NMOS(NM42)のゲート電極には、表示データの最上位ビットが、また、NMOS(NM43)のゲート電極には、表示データの最上位ビットの反転値が印加される。

【0037】したがって、NMOS(NM41)がオンで、表示データの最上位ビットの値が「0」の場合は、プリチャージ期間内に、Vpre2のプリチャージ電圧がドレイン信号線(D)に供給され、また、表示データの最上位ビットの値が「1」の場合には、プリチャージ期間内に、Vpre1のプリチャージ電圧がドレイン信号線(D)に供給される。同様に、カウンタ回路160の9番目の出力(Q8)が「1」、10番目の出力(Q9)が「1」であると、NMOS(NM41)がオフ、NMOS(NM44)がオンとなる。また、表示データの最上位ビットの値が「0」のときには、NMOS(NM45)がオフ、NMOS(NM46)がオンとな

り、表示データの最上位ビットの値が「1」のときは、NMOS(NM45)がオン、NMOS(NM46)がオフとなる。したがって、NMOS(NM44)がオンで、表示データの最上位ビットの値が「0」の場合には、プリチャージ期間内に、Vpre4のプリチャージ電圧がドレイン信号線(D)に供給され、また、表示データの最上位ビットの値が「1」の場合には、プリチャージ期間内に、Vpre3のプリチャージ電圧がドレイン信号線(D)に供給される。なお、本実施の形態では、カウンタ回路160を各ドレインドライバ130に設ける場合について説明したが、カウンタ回路160は、いずれかのゲートドライバ140、あるいは表示制御装置110内に設けてもよい。

【0038】〔実施の形態4〕本実施の形態は、本発明を、出力回路157にスイッチドキャパシタ回路を使用し、一つのアンプ回路で、スイッチドキャパシタ回路用のアンプ回路と出力アンプ回路とを兼用するドレインドライバ130に適用した実施の形態である。図19は、本発明の実施の形態4のTFT方式の液晶表示モジュールにおけるドレインドライバ130の出力回路157の基本構成を示す回路図である。なお、この図19では、ドレイン信号(D)一本当たりの構成を示しており、また、図6に示す出力パッド220の図示は省略している。図19に示すように、オペアンプ(OP21)の反転入力端子(−)と出力端子との間には、NMOS(NM59)とコンデンサ(CA1)の並列回路が接続され、また、オペアンプ(OP21)の反転入力端子(−)には、コンデンサ(CA2, CA3)の一方の端子が接続される。コンデンサ(CA2)の他方の端子は、NMOS(NM55)とNMOS(NM51)、およびNMOS(NM56)を介して、デコーダ回路B(362)に接続されるとともに、NMOS(NM55)とNMOS(NM52)を介して、デコーダ回路A(361)に接続される。

【0039】同様に、コンデンサ(CA3)の他方の端子は、NMOS(NM57)とNMOS(NM53)、およびNMOS(NM58)を介して、デコーダ回路B(362)に接続されるとともに、NMOS(NM57)とNMOS(NM54)を介して、デコーダ回路A(361)に接続される。オペアンプ(OP21)の非反転入力端子(+)は、デコーダ回路A(361)に接続され、オペアンプ(OP21)の出力は、NMOS(60)を介して出力パッドに接続される。また、デコーダ回路A(361)の出力は、サブアンプ回路363に入力され、サブアンプ回路363の出力は、NMOS(NM61)を介して出力パッドに接続される。ここで、オペアンプ(OP21)は、スイッチドキャパシタ回路用のアンプ回路と出力アンプ回路とを兼用し、サブアンプ回路363は、プリチャージ用のアンプである。

【0040】NMOS(NM51)のゲート電極には、

表示データの最下位ビット値 ( $D_n$ ) が印加され、NMOS (NM52) のゲート電極には、表示データの最下位ビット値 ( $D_n$ ) の反転値が印加される。NMOS (NM53) のゲート電極には、表示データの最下位ビットの一つ上のビット値 ( $D_{n+1}$ ) が印加され、NMOS (NM54) のゲート電極には、表示データの最下位ビットの一つ上のビット値 ( $D_{n+1}$ ) の反転値が印加される。NMOS (NM56)、NMOS (NM58)、NMOS (NM59)、およびNMOS (NM61) のゲート電極には、制御信号 ( $C_{res}$ ) が印加され、NMOS (NM55)、NMOS (NM57)、およびNMOS (NM60) のゲート電極には、制御信号 ( $C_{en}$ ) が印加される。ここで、制御信号 ( $C_{res}$ ) は、クロック (CL1) であり、制御信号 ( $C_{en}$ ) は、クロック (CL1) の反転クロックであるが、これらの制御信号 ( $C_{en}$ ,  $C_{pc}$ ) は、クロック (CL1) から生成するようにしてもよい。また、コンデンサ (CA2) の容量値と、コンデンサ (CA3) の容量値とを加算した容量値は、ほぼコンデンサ (CA1) の容量値とされる。さらに、デコーダ回路A (361) からは第1中間階調電圧 ( $V_a$ ) が outputされ、デコーダ回路B (362) からは、第2中間階調電圧 ( $V_b$ ) が outputされる。

【0041】以下、本実施の形態の出力回路157の動作について説明する。本実施の形態の出力回路157では、制御信号 ( $C_{res}$ ) がHレベル（即ち、制御信号 ( $C_{en}$ ) がLレベル）の時（リセット動作時）に、NMOS (NM56)、NMOS (NM58)、NMOS (NM59)、およびNMOS (NM61) がオン、NMOS (NM55)、NMOS (NM57)、およびNMOS (NM60) がオフとなる。この状態では、コンデンサ (CA1) がリセットされ、また、オペアンプ (OP21) はボルテージホロワ回路を構成し、オペアンプ (OP21) の出力端子および反転入力端子（-）の電圧は ( $V_a$ ) の電圧となる。また、各コンデンサ (CA2, CA3) の他方は、デコーダ回路B (362) に接続されるので、各コンデンサ (CA2, CA3) は、 $\Delta V$  ( $= V_b - V_a$ ) の電圧に充電される。また、NMOS (NM61) がオン、NMOS (NM60) がオフとなるので、ドレイン信号線 (D) には、デコーダ回路A (361) から出力される第1中間階調電圧 ( $V_a$ ) が供給される。

【0042】制御信号 ( $C_{res}$ ) がLレベル（即ち、制御信号 ( $C_{en}$ ) がHレベル）の時（通常動作時）に、NMOS (NM56)、NMOS (NM58)、NMOS (NM59)、およびNMOS (NM61) がオフ、NMOS (NM55)、NMOS (NM57)、およびNMOS (NM60) がオンとなる。この状態では、NMOS (NM51～NM54) が、表示データの下位2ビットの値によりオンあるいはオフとなる。これ

により、オペアンプ (OP21) の出力端子から、 $V_a$ ,  $V_a - 1/4\Delta V$ ,  $V_a - 1/2\Delta V$ ,  $V_a - 3/4\Delta V$  の階調電圧が outputされる。このように、出力回路157にスイッチドキャパシタ回路を使用し、一つのアンプ回路で、スイッチドキャパシタ回路用のアンプ回路と出力アンプ回路とを兼用するドレインドライバ130では、リセット動作時に、コンデンサ (CA1) を放電（リセット）する必要があるため、映像信号線 (D) にプリチャージ電圧を供給することができない。しかしながら、本実施の形態ではサブアンプ回路363を設け、リセット動作時に、このサブアンプ363からドレイン信号線 (D) にプリチャージ電圧を供給することができる。

【0043】〈本実施の形態の液晶表示モジュールの変形例〉図20は、本発明の実施の形態4のTFT方式の液晶表示モジュールにおけるドレインドライバ130の出力回路157の他の例の回路構成を示す回路図である。なお、この図20では、ドレイン信号 (D) 一本当たりの構成を示しており、また、図6に示す出力パッド220の図示は省略している。図20に示す回路は、リセット動作時に、PMOS (PM71) とPMOS (PM72) とから構成されるレベルシフト回路により、デコーダ回路A (361) から出力される第1中間階調電圧 ( $V_a$ ) の電圧レベルを、PMOS (PM12) のしきい値電圧 ( $V_{th}$ ) 分だけアップし、さらに、PMOS (PM73) とPMOS (PM74) とから構成されるソースホロワ回路を介して、ドレイン信号線 (D) に供給するようにしたものである。

【0044】図21は、図19、図20に示すデコーダ回路A (361) およびデコーダ回路B (362) の一例と、正極性階調電圧生成回路151aの回路構成を示す回路図である。図21は、正極性側のデコーダ回路の構成を示す回路図であり、同図において、○はデータビットがLレベルでオンとなるスイッチ素子（例えば、PMOSトランジスタ）であり、また、●はデータビットがHレベルでオンとなるスイッチ素子（例えば、NMOSトランジスタ）である。なお、図21では、64階調の階調電圧を生成する場合の回路構成の一例を示す。同図に示すように、正極性階調電圧生成回路151aは、前記実施の形態1のように、64階調の階調電圧を生成せず、正電圧生成回路121から入力される正極性の5値の階調基準電圧 ( $V_0 \sim V_4$ ) に基づいて、正極性の17階調の第1階調電圧を生成する。

【0045】デコーダ回路A (361) は、奇数番目の中間階調電圧の中から、8ビットの表示データの上位6ビット ( $D_2 \sim D_5$ ) に対応する第1中間階調電圧を選択する。デコーダ回路B (362) は、偶数番目の中間階調電圧の中から、6ビットの表示データの上位3ビット ( $D_3 \sim D_5$ ) に対応する第2中間階調電圧を選択する。デコーダ回路A (361) は、6ビットの表示デ-

タの上位4ビット(D2～D5)により、第1番目の中間階調電圧(V1)と第17番目の中間階調電圧(V17)とを1回、第3番目の中間階調電圧(V3)ないし第15番目の中間階調電圧(V15)を、それぞれ連続して2回選択するように構成される。デコーダ回路B(362)は、6ビットの表示データの上位3ビット(D3～D5)により、第2番目の中間階調電圧(V2)ないし第16番目の中間階調電圧(V16)を、1回選択するように構成される。

【0046】ここで、 $V''_0 < V''_1 < V''_2 < V''_3 < V''_4$ であるので、表示データの3ビット(D2)のビット値がLレベルの場合、階調電圧VOUTAとして、VOUTBの階調電圧よりも低電位の階調電圧が outputされ、また、表示データの3ビット(D2)のビット値がHレベルの場合、階調電圧VOUTAとして、VOUTBの階調電圧よりも高電位の階調電圧が outputされる。したがって、この表示データの3ビット(D2)目のビット値のHレベルおよびLレベルに応じてマルチプレクサ302を切り換え、表示データの3ビット(D2)目のビット値がLレベルの時に端子(P1)にVOUTAの階調電圧を、端子(P2)にVOUTBの階調電圧を出力し、また、表示データの3ビット(D2)目のビット値がHレベルの時に端子(P1)にVOUTBの階調電圧を、端子(P2)にVOUTAの階調電圧を出力する。これにより、端子(P1)の階調電圧を(Va)、端子(P2)の階調電圧を(Vb)とするとき、常に、 $V_a < V_b$ とすることができる。なお、負極性側のデコーダ回路も、正極性側と同様に構成することができる。

【0047】[実施の形態5] 図22は、本発明の実施の形態5のTFT方式の液晶表示モジュールの液晶表示パネル10の基本構成を示す図である。図8ないし図11から明らかなように、一水平走査期間内に画素電極が最終電位に到達する時間は、ドレインドライバ130から遠い端端大きい。そこで、本実施の形態は、ドレン信号線(D)のドレインドライバ130と接続される端部と反対側の端部(以下、単に、他端部という。)にスイッチ部170を設け、プリチャージ期間内に、ドレン信号線(D)の他端部に、所定のプリチャージ電圧(VPRE)を供給するようにしたものである。ここで、スイッチ部170は、ドレン信号線(D)の他端部と、プリチャージ電圧(VPRE)が供給される電源線との接続するスイッチ素子151で構成される。このスイッチ素子151は、プリチャージ期間内にオンとされる。スイッチ素子151は、図23に示すように、液晶表示パネル10の外部でTFT基板(SUB1)上に設けられる半導体集積回路装置(IC)で構成してもよく、あるいは、図24に示すように、液晶表示パネル10内に薄膜トランジスタ素子(TFT)で構成してもよい。

【0048】〈本実施の形態の液晶表示モジュールの変形例〉図25に示すように、本実施の形態において、スイッチ部170は、一水平走査期間に印加される正極性の階調電圧、あるいは負極性の階調電圧に合わせて、ドレン信号線(D)の他端部と、正極性のプリチャージ電圧(VPREa)が供給される電源線、あるいは負極性のプリチャージ電圧(VPREb)が供給される電源線とを接続するようにしてもよい。また、図26に示すように、スイッチ素子171により、隣接するドレン信号線(D)の他端部を接続するようにしてもよい。さらに、図27に示すように、スイッチ素子171により、2本以上のドレン信号線(D)の他端部を接続するようにしてもよい。なお、図22ないし図27において、ARは表示領域を示している。また、本実施の形態において、ドレインドライバ130は、前記各実施の形態で説明したようなプリチャージ電圧、あるいは一定のプリチャージ電圧を印加するものではなくてもよいが、特に、液晶表示パネル10の解像度が大きい場合には、ドレインドライバ130は、前記各実施の形態で説明したようなプリチャージ電圧、あるいは一定のプリチャージ電圧を印加できる構成が好ましい。

【0049】また、前記実施の形態では、本発明をドット反転方式を採用した液晶表示モジュールに適用した実施の形態について主に説明したが、これに限定されず、本発明は、1ライン毎、あるいは1フレーム毎に、画素電極(ITO1)およびコモン電極(ITO2)に印加する駆動電圧を反転するコモン反転法にも適用可能である。以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【0050】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、液晶表示装置に使用される半導体集積回路装置において、高速動作を可能とし、液晶表示素子の大画面化が可能となる。

(2) 本発明の液晶表示装置によれば、高速動作を可能とし、液晶表示素子の大画面化が可能となり、液晶表示素子に表示される表示画面の表示品質を向上させることができとなる。

#### 【図面の簡単な説明】

【図1】本発明が適用されるTFT方式の液晶表示モジュールの基本構成を示すブロック図である。

【図2】図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】図1に示すドレインドライバの一例の概略構成示すブロック図である。

【図5】液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線(D)に出力される液晶駆動電圧の極性を説明するための図である。

【図6】本発明の実施の形態1の液晶表示モジュールのドレインドライバの出力回路の基本構成を示す図である。

【図7】従来の液晶表示モジュールのドレインドライバの出力回路の基本構成を示す図である。

【図8】一水平走査期間における画素の画素電極(ITO1)の電圧変化を示す図である。

【図9】一水平走査期間における画素の画素電極(ITO1)の電圧変化を示す図である。

【図10】一水平走査期間における画素の画素電極(ITO1)の電圧変化を示す図である。

【図11】一水平走査期間における画素の画素電極(ITO1)の電圧変化を示す図である。

【図12】本発明の実施の形態1のプリチャージ回路の具体的な回路構成を示す回路図である。

【図13】本発明の実施の形態2のTFT方式の液晶表示モジュールにおけるドレインドライバの出力回路の基本構成を示す図である。

【図14】本発明の実施の形態2のドレインドライバの出力回路の一例の具体的な回路構成を示す回路図である。

【図15】本発明の実施の形態3のTFT方式の液晶表示モジュールにおけるドレインドライバのカウンタ回路を示す図である。

【図16】本発明の実施の形態3のTFT方式の液晶表示モジュールにおけるドレインドライバの出力回路の具体的な回路構成を示す回路図である。

【図17】本発明の実施の形態3において、各画素に供給されるプリチャージ電圧を説明するための図である。

【図18】本発明の実施の形態3のTFT方式の液晶表示モジュールにおけるドレインドライバの出力回路の他の例の具体的な回路構成を示す回路図である。

【図19】本発明の実施の形態4のTFT方式の液晶表示モジュールにおけるドレインドライバの出力回路の基本構成を示す回路図である。

【図20】本発明の実施の形態4のTFT方式の液晶表示モジュールにおけるドレインドライバの出力回路の他の例の回路構成を示す回路図である。

【図21】図19、図20に示すデコーダ回路Aおよびデコーダ回路Bの一例と、正極性階調電圧生成回路の回

路構成を示す回路図である。

【図22】本発明の実施の形態5のTFT方式の液晶表示モジュールの液晶表示パネルの基本構成を示す図である。

【図23】本発明の実施の形態5のスイッチ素子の一例を示す図である。

【図24】本発明の実施の形態5のスイッチ素子の他の例を示す図である。

【図25】本発明の実施の形態5のTFT方式の液晶表示モジュールの液晶表示パネルの他の例の基本構成を示す図である。

【図26】本発明の実施の形態5のTFT方式の液晶表示モジュールの液晶表示パネルの他の例の基本構成を示す図である。

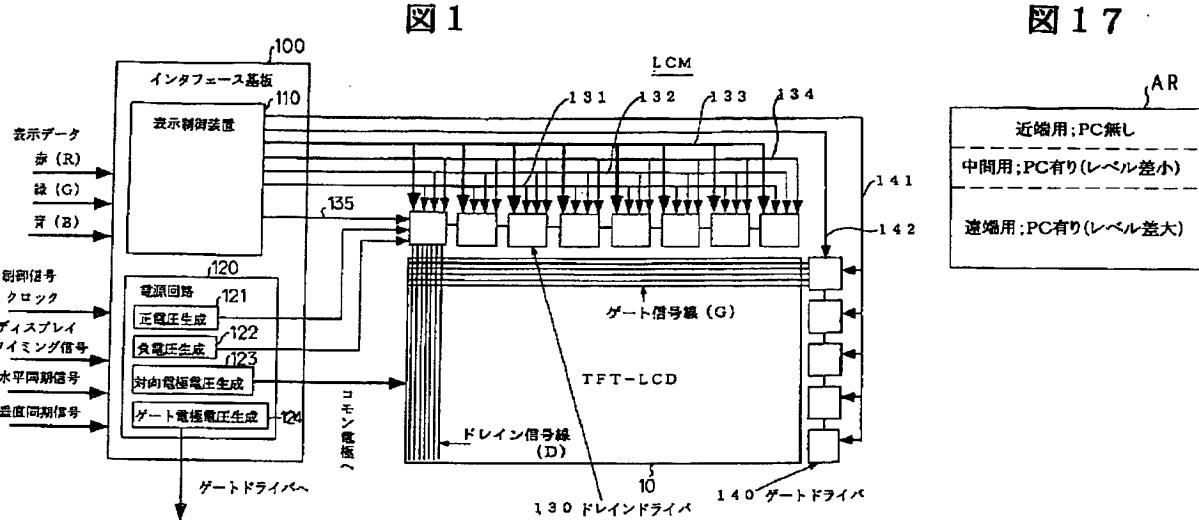
【図27】本発明の実施の形態5のTFT方式の液晶表示モジュールの液晶表示パネルの他の例の基本構成を示す図である。

#### 【符号の説明】

10…液晶表示パネル(TFT-LCD)、30, 230, 330…プリチャージコントロール回路、31, 261, 278, 279, 361, 362…デコーダ回路、32…アンプ回路、33, 220…出力パッド、100…インタフェース部、110…表示制御装置、120…電源回路、121, 122…電圧生成回路、123…コモン電極電圧生成回路、124…ゲート電極電圧生成回路、130…ドレインドライバ、131, 132, 134, 135, 141, 142…信号線、133…表示データのバスライン、140…ゲートドライバ、151a, 151b…階調電圧生成回路、152…制御回路、153…シフトレジスタ回路、154…入力レジスタ回路、155…ストレージレジスタ回路、156…レベルシフト回路、157…出力回路、158a, 158b…電圧バスライン、160…カウンタ回路、170…スイッチ部、171…スイッチ素子、231…レベルシフト回路、232, 233, 332～336…スイッチ回路、263…出力アンプ回路、302…マルチプレクサ、331…比較回路、363…サブアンプ回路、G…ゲート信号線(走査信号線または水平信号線)、ITO1…画素電極、ITO2…コモン電極、CL…対向電極信号線、TFT…薄膜トランジスタ、CLC…液晶容量、CSTG…保持容量、CADD…付加容量、PM…PMOSトランジスタ、NM…NMOSトランジスタ、TG…トランスマジックゲート回路、SUB1…TFT基板、NOR…ノア回路、IV…インバータ、OP…オペアンプ、CA…コンデンサ、AR…表示領域。

〔図1〕

【図17】

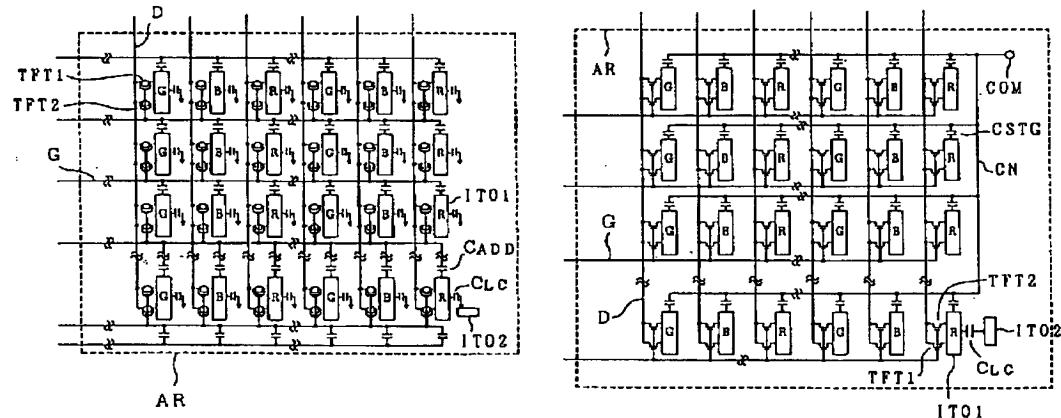


## 【図2】

【四三】

图 2

3

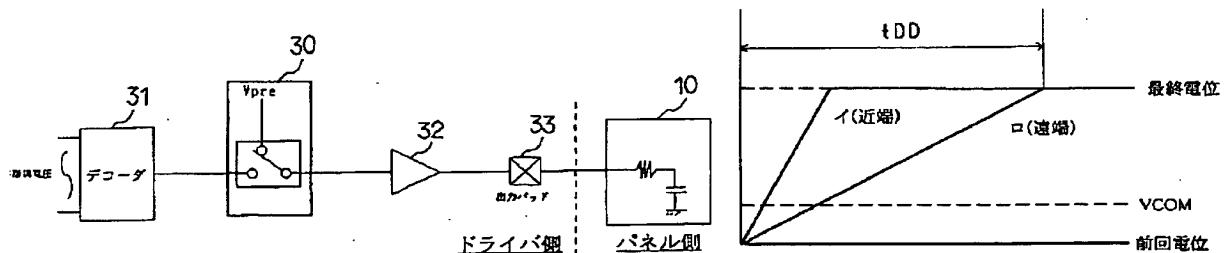


〔図7〕

【図8】

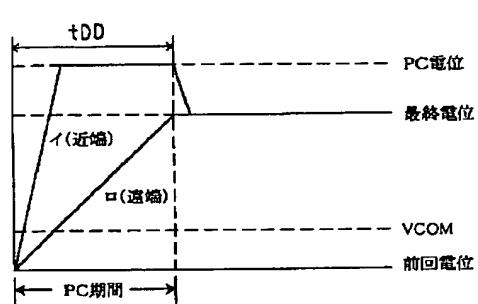
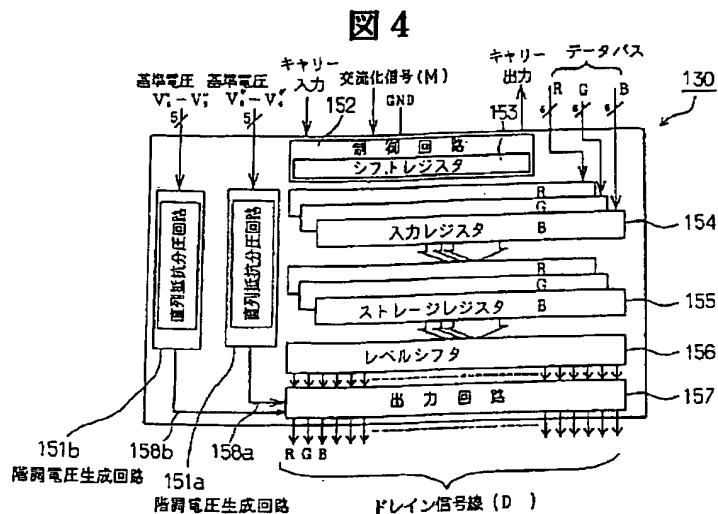
图 7

8



### 【図4】

【図9】

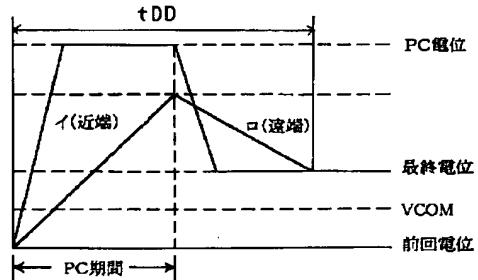


【図5】

【図10】

5

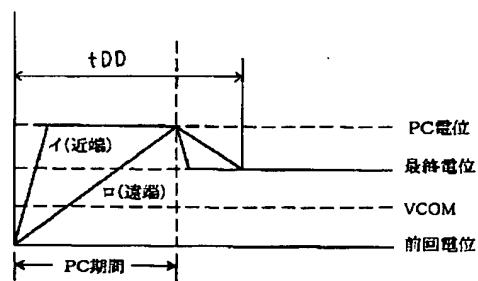
### 奇数フレーム



### 偶数フレーム

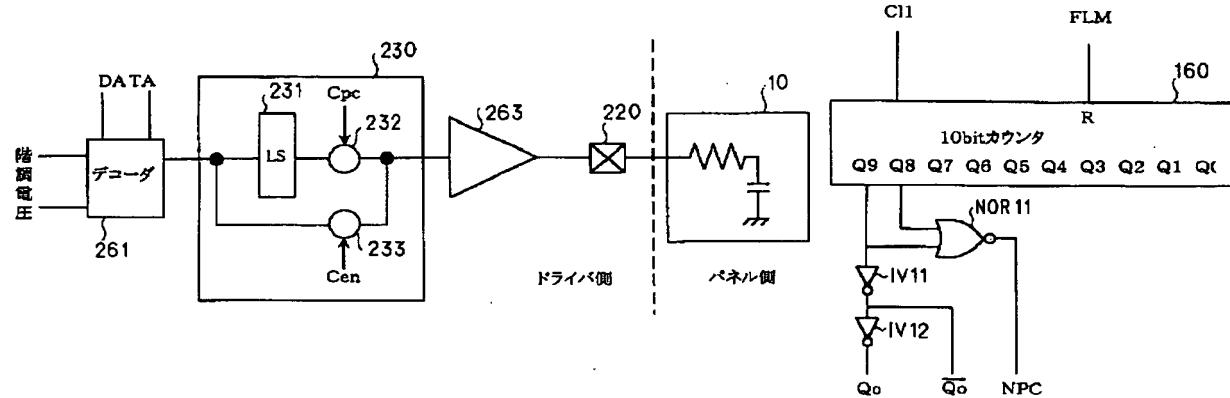
### 【図11】

11



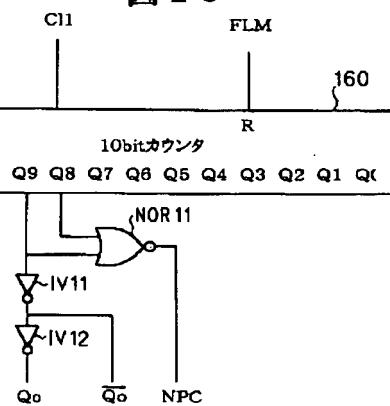
【図6】

図6



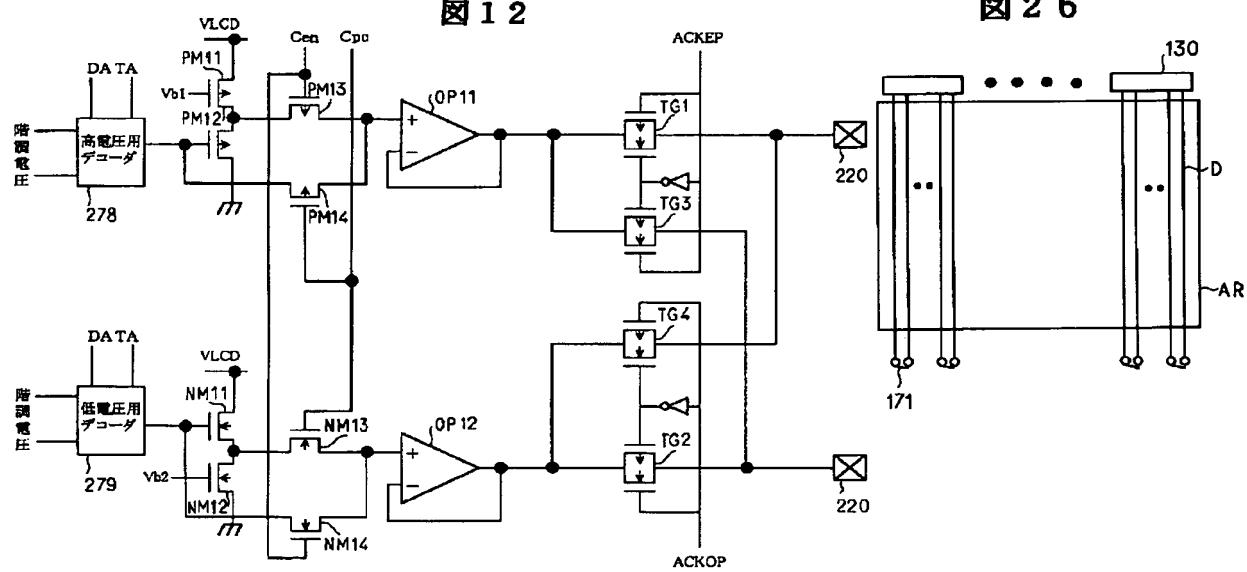
【図15】

図15



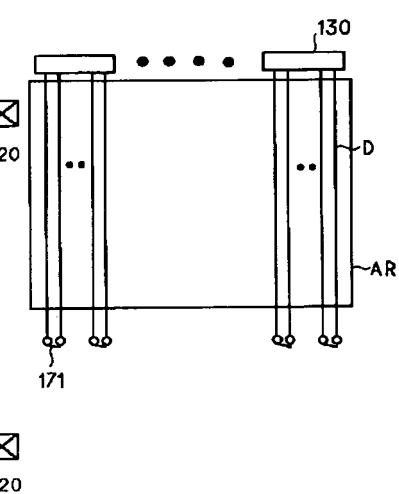
【図12】

図12



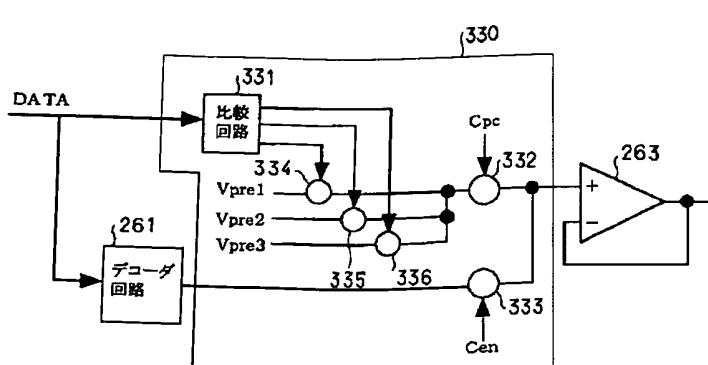
【図26】

図26



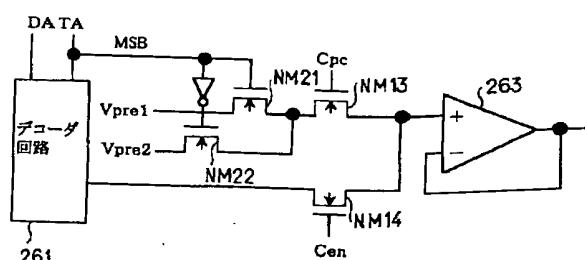
【図13】

図 13



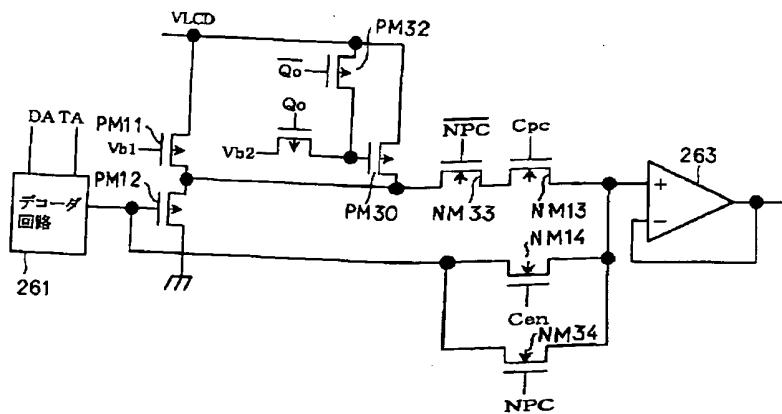
【図14】

图 14



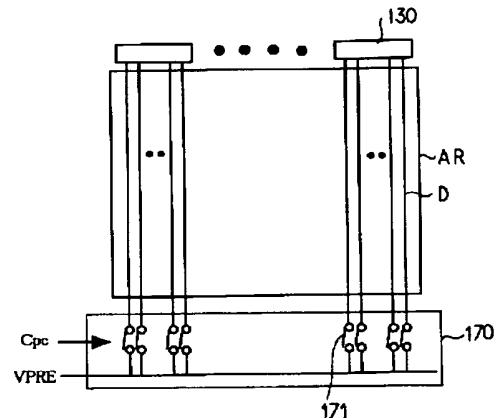
【図16】

图 16



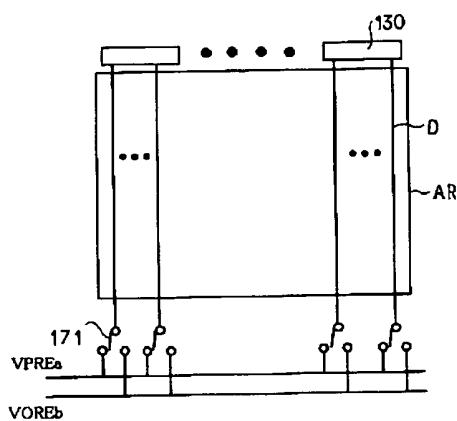
【图22】

図22



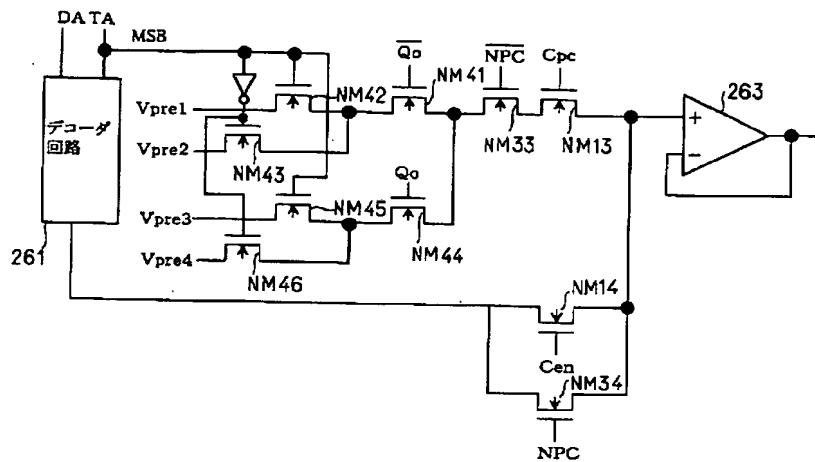
【图25】

图 25



【図18】

図 1 8



【図19】

【图23】

圖 1 9

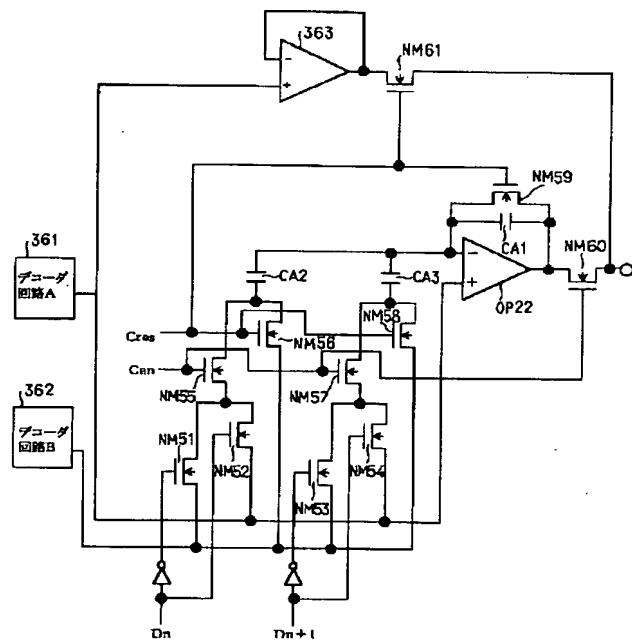
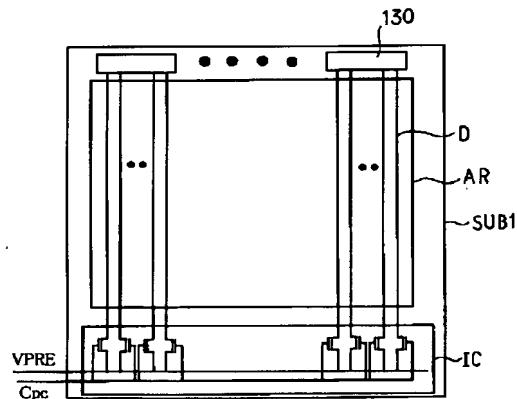
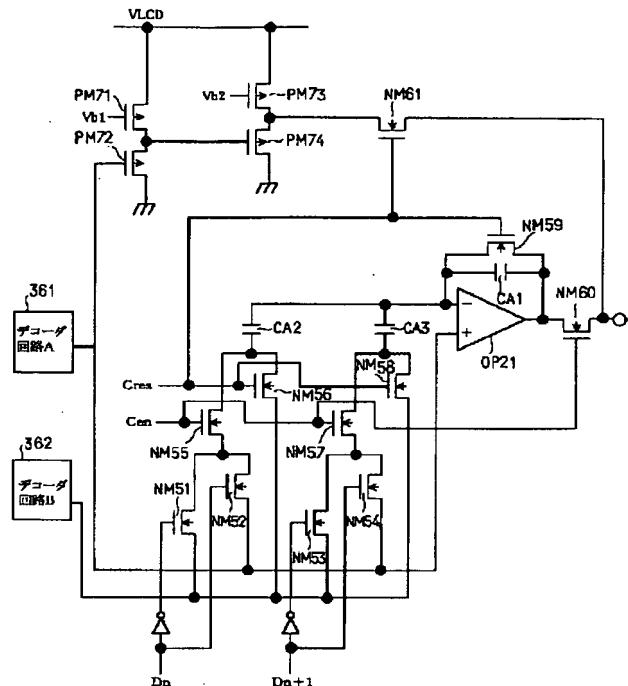


図23



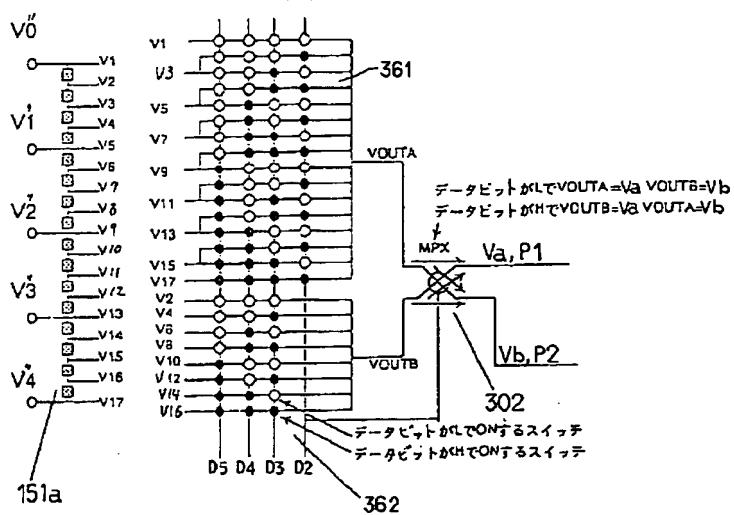
【图20】

圖 20



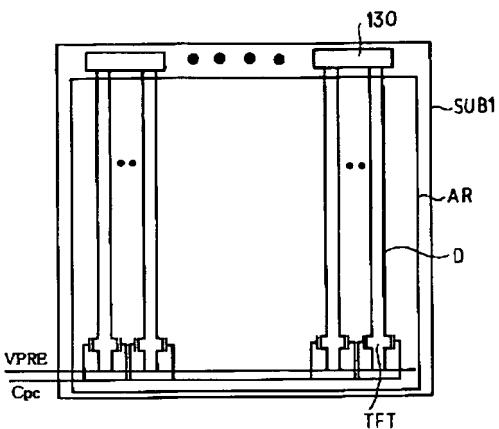
【図21】

图 21



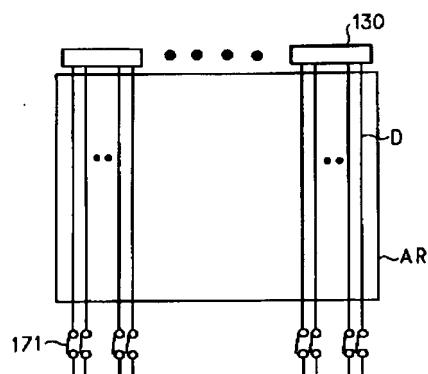
【図24】

24



【図27】

图 27



フロントページの続き

(72)発明者 鈴木 進也 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内	(72)発明者 川田 賢治 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
(72)発明者 小寺 浩一 東京都小平市上水本町5丁目22番1号 株 式会社日立超エル・エス・アイ・システム ズ内	Fターム(参考) 2H093 NA16 NA33 NA53 NC04 NC13 NC15 NC22 NC25 NC34 ND33 ND43
(72)発明者 木村 誠 東京都小平市上水本町5丁目20番1号 株 式会社日立製作所半導体グループ内	5C006 AA01 AA16 AA22 AC28 AF42 AF44 BB16 BC12 BF03 BF04 BF14 BF16 BF22 BF25 BF26 BF27 BF28 BF34 BF43 BF46 FA14 FA56
(72)発明者 荒川 雅彦 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内	5C080 AA10 BB05 CC03 DD08 EE29 EE30 FF11 JJ02 JJ03 JJ05